

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Tae-joong Song
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: MEMORY DEVICES HAVING BIT LINE PRECHARGE CIRCUITS WITH OFF
CURERNT PRECHARGE CONTROL AND ASSOCIATED BIT LINE
PRECHARGE METHODS

Date: February 20, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0036748, filed June 9, 2003.

Respectfully submitted,

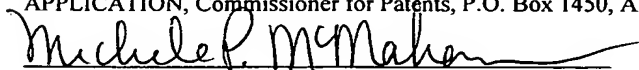


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 353593051US
Date of Deposit: February 20, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0036748
Application Number

출원 년 월 일 : 2003년 06월 09일
Date of Application JUN 09, 2003

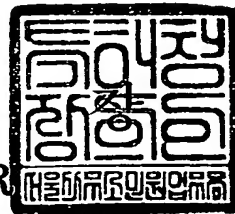
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 27 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.09
【국제특허분류】	G11C
【발명의 명칭】	셀 누설 전류에 강한 프리차지 제어 회로를 갖는 메모리 장치 및 비트라인 프리차지 방법
【발명의 영문명칭】	Memory device having loff robust precharge control circuit and bitline precharge method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	송태중
【성명의 영문표기】	SONG, Tae Joong
【주민등록번호】	710421-1233819
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 860번지 신영통 현대타운 306동 1002호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)



1020030036748

출력 일자: 2003/10/31

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 494,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

셀 누설 전류에 강한 프리차지 제어 회로를 갖는 메모리 장치 및 비트라인 프리차아지 방법이 개시된다. 본 발명의 프리차아지 제어 회로는 프리차아지 인에이블 신호를 입력하여 디코딩된 로우 어드레스들의 천이로부터 워드라인이 인에이블되는 데 걸리는 시간 만큼 지연시키는 지연 회로부와, 지연 회로부 출력과 프리차아지 인에이블 신호를 입력하는 낸드 게이트와, 그리고 낸드 게이트의 출력을 반전하여 프리차아지 신호를 발생하는 인버터를 포함한다. 이에 따라, 본 발명은 워드라인의 인에이블 후에 프리차아지 신호를 디세이블시키기 때문에, 셀 오프 전류(Ioff) 전류에 영향을 받지 않고 비트라인과 상보 비트라인의 전압차를 크게 벌려 센싱 마진을 크게 한다.

【대표도】

도 5

【색인어】

셀 누설 전류(Ioff), 비트라인 프리차아지, 워드라인 인에이블, 로우 어드레스 신호



【명세서】

【발명의 명칭】

셀 누설 전류에 강한 프리차지 제어 회로를 갖는 메모리 장치 및 비트라인 프리차아지 방법
 {Memory device having Ioff robust precharge control circuit and bitline precharge method}

【도면의 간단한 설명】

도 1은 전형적인 메모리 셀 어레이를 설명하는 도면이다.

도 2는 종래의 메모리 장치에 포함되는 회로 다이어그램을 나타내는 도면이다.

도 3은 도 2의 메모리 장치의 동작 타이밍을 설명하는 도면이다.

도 4는 본 발명의 개념을 설명하는 도면이다.

도 5는 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다.

도 6은 도 5의 메모리 장치의 동작 타이밍을 설명하는 도면이다.

도 7은 본 발명의 시뮬레이션 결과를 설명하는 도면이다.

도 8은 도 1의 비교예로서 종래의 메모리 장치의 시뮬레이션 결과를 설명하는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 셀 누설 전류(Ioff)에 강한 프리차지 제어 회로를 갖는 메모리 장치 및 비트라인 프리차아지 방법에 관한 것이다.

<10> 반도체 메모리 공정 기술의 미세화 경향에 따라, 딥 서브 마이크론(Deep sub-micron) 공정이 개발되고 있다. 딥 서브 마이크론 기술로 갈수록, 트랜지스터의 성능 향상을 위하여 문턱

전압(threshold voltage: V_{th}) 값을 작게 가져간다. 문턱 전압이 낮아지면, 트랜지스터의 턴온 상태일 때의 포화 전류(I_{dsat})가 증가한다. 이와 동시에 트랜지스터의 턴오프 상태일 때의 전류(I_{off}) 즉, 누설 전류 또한 증가하게 된다. 문턱 전압(V_{th})에 따른 I_{dsat} 전류와 I_{off} 전류의 상관 관계는 수학적 식 1로부터 잘 알 수 있다.

<11> **【수학적 식 1】**
$$I_{ds} = K e^{\frac{(V_{gs}-V_{th})}{nVT}} (1 - e^{-\frac{V_{ds}}{VT}})$$

<12> 여기에서, K는 공정 함수(function of the technology), VT는 온도 전압(thermal voltage, KT/q), n은 $1 + ((\epsilon_{sr}/\epsilon_{ox}) \cdot t_{ox}/D) \approx 1.5$ 값으로 정의되는 상수이다. ϵ_{sr} 은 실리콘의 유전율을, ϵ_{ox} 은 게이트 산화막의 유전율을, t_{ox} 는 게이트 산화막의 두께를, 그리고 D는 채널 디플리션 너비(channel depletion width)를 나타낸다.

<13> 도 1은 누설 전류의 영향을 설명하기 위하여 제공되는 메모리 셀 어레이를 나타내는 도면이다. 이를 참조하면, 메모리 셀 어레이(100)는 제1 내지 제3 워드라인들(WL0, WL1, WL2, ...)과 비트라인(BL) 및 상보 비트라인(BLB)의 교차점에 메모리 셀들(102, 104, 106, ...)이 배열되어 있다. 제1 워드라인(WL0)이 인에이블되어 제1 메모리 셀(102)이 활성화된다고 가정하면, 제1 메모리 셀(102)에 래치되어 있던 데이터들이 비트라인(BL)과 상보 비트라인(BLB)으로 전달된다. 설명의 편의를 위하여, 제1 메모리 셀(102)의 제1 노드(NA)에 로직 "1"의 전원 전압(VDD) 레벨이, 제2 노드(NB)에 로직 "0"의 접지 전압(VSS) 레벨이 저장되어 있다고 설정하자.

<14> 그러면, 제1 메모리 셀(102) 데이터들이 비트라인(BL)과 상보 비트라인(BLB)으로 차아지 셰어링(charge sharing)되면서 비트라인(BL)과 상보 비트라인(BLB) 사이에 전압차가 발생한다 (evaluation). 도 1에서, 비트라인(BL)은 전원 전압 레벨 쪽으로, 그리고 상보 비트라인(BLB)



은 접지 전압(VSS) 레벨 쪽으로 벌어져 전압차가 생긴다. 이 전압차를 센스 앰프(미도시)가 감지 증폭하여 메모리 셀 데이터를 판별하게 된다.

<15> 도 1에서, 제2 및 제3 워드라인들(WL1, WL2)에 연결된 메모리 셀들(104, 106)은 비활성화(non-activation)되어 비트라인(BL) 또는 상보 비트라인(BLB)과 연결되지 않는다. 그런데, 메모리 셀들(104, 106)의 셀 오프 전류(Ioff), 즉 누설 전류가 비트라인(BL)에서 로직 "0"을 저장한 메모리 셀 트랜지스터들(104, 106)쪽으로 흘러들어 비트라인(BL)의 전원 전압 레벨이 낮아진다. 이에 따라, 비트라인(BL)과 상보 비트라인(BLB)의 전압차가 작아져 센스 앰프의 센싱 속도가 느려지는 문제점이 발생한다.

<16> 한편, 워드라인들(WL0, WL1, WL2, ...)은 디코딩된 로우 어드레스에 응답하여 인에이블되고, 비트라인(BL)과 상보 비트라인(BLB)은 프리차아지 신호(PRE)에 응답하여 전원 전압(VDD)으로 프리차아지되었다가 메모리 셀 데이터에 의해 전압차가 생겨 센스 앰프에 의해 감지 증폭된다. 이러한 동작과 관련되는 회로 블록들이 도 2에 도시되어 있다.

<17> 도 2를 참조하면, 메모리 셀 어레이 블록(100), 로우 디코더(210), 프리 어드레스 디코딩 회로 및 제어 신호 발생부(220), 비트라인 프리차아지부(230), 그리고 센스 앰프(240)로 구성되어 있다. 로우 디코더(210)와 프리 어드레스 디코딩 회로(220)는 워드라인(WL0, ..., WLn)을 인에이블시키는 동작에 관여하고, 프리차아지 신호(PRE)에 응답하는 비트라인 프리차아지 회로(230)는 비트라인(BL) 및 상보 비트라인(BLB)을 전원 전압(VDD) 레벨로 프리차아지시키는 동작에 관여한다. 센스 앰프(240)는 센싱 인에이블 신호(SENSE)에 응답하여 전압차가 발생한 비트라인(BL)과 상보 비트라인(BLB)을 감지 증폭한다.

<18> 도 3은 도 2의 회로 다이어그램의 동작 타이밍을 설명하는 도면이다. 이를 참조하면, (a) 내지 (d) 구간이 표시되어 있다. (a) 구간은 로직 로우레벨의 프리차아지 신호(PRE)에 응

답하여 비트라인(BL)과 상보 비트라인(BLB)이 전원 전압(VDD) 레벨로 프리차아지되는 구간이다. (b) 구간은 프리차아지 신호(PRE)가 로직 하이레벨로 디세이블된 후 워드라인(WL0)이 인에이블되기 이전의 플로팅(floating) 구간이다. (c) 구간은 워드라인(WL0)이 로직 하이레벨로 인에이블되어 메모리 셀 데이터에 의해 비트라인(BL)과 상보 비트라인(BLB) 사이에 전압차가 벌어지고, 센싱 인에이블 신호(SENSE)가 로직 하이레벨로 인에이블되어 비트라인(BL)과 상보 비트라인(BLB)의 전압차를 감지 증폭하는 구간이다. (d) 구간은 프리차아지 신호(PRE)가 로직 로우레벨로 인에이블되어 비트라인(BL)과 상보 비트라인(BLB)을 전원 전압(VDD) 레벨로 프리차아지시키는 구간이다.

<19> 여기에서, (b) 구간은 워드라인(WL0)이 인에이블되기 전에 앞서 도 1에서 설명한 셀 오프 전류(I_{off})에 영향을 받아 전원 전압(VDD) 레벨로 프리차아지되어 있던 비트라인(BL)과 상보 비트라인(BLB)의 전압 레벨이 떨어뜨려진다. 이에 따라, 센스 앰프가 감지 가능한 비트라인(BL)과 상보 비트라인(BLB)의 전압차로까지 벌어지는 데에 일정 시간이 더 소요된다. 이는 메모리 장치의 고속 동작을 방해하는 하나의 요인으로 작용한다.

<20> 그러므로, (b) 구간과 같이 셀 오프 전류(I_{off})에 영향을 받는 플로팅 구간을 제거하여 메모리 장치의 고속 동작을 방해하지 않는 메모리 장치의 존재가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명의 목적은 셀 오프 전류에 강한 프리차아지 제어 회로를 갖는 메모리 장치를 제공하는 데 있다.

<22> 본 발명의 다른 목적은 셀 오프 전류에 강한 프리차아지 제어 방법을 제공하는 데 있다.



【발명의 구성 및 작용】

- <23> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 메모리 장치는 행들 및 열들로 배열된 복수개의 메모리 셀들; 수신되는 어드레스 신호를 디코딩하여 메모리 셀들의 워드라인을 인에이블시키는 로우 디코더; 프리차아지 인에이블 신호 및 프리차아지 인에이블 신호를 소정 시간 지연시킨 프리차아지 지연 신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 제어 회로; 및 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 프리차아지부를 구비하고, 프리차아지 신호는 워드라인이 인에이블된 후에 디세이블된다.
- <24> 바람직하기로, 프리차아지 제어 회로는 프리차아지 인에이블 신호를 입력하여 소정의 지연 시간 만큼 지연시키는 지연 회로부; 프리차아지 인에이블 신호와 지연 회로부의 출력을 입력하는 낸드 게이트; 및 낸드 게이트의 출력을 인버팅하는 인버터를 포함한다. 지연 시간은 디코딩된 로우 어드레스들의 천이로부터 워드라인이 인에이블되는 데 걸리는 시간인 것이 적합하다. 프리차아지부는 프리차아지 신호에 응답하여 비트라인 및 상보 비트라인을 전원 전압 레벨로 각각 프리차아지시키는 제1 및 제2 트랜지스터; 및 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 등화시키는 제3 트랜지스터를 구비하고, 제1 내지 제3 트랜지스터는 피모스 트랜지스터들로 구성된다.
- <25> 상기 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 메모리 장치는 행들 및 열들로 배열된 복수개의 메모리 셀들; 수신되는 어드레스 신호를 디코딩하여 메모리 셀들의 워드라인을 인에이블시키는 로우 디코더; 디코딩 어드레스 신호 및 프리차아지 인에이블 신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 제어 회로; 및 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 프리차아지부를 구비하고, 프리차아지 신호는 워드라인이 인에이블된 후에 디세이블된다.



- <26> 더욱 바람직하기로, 프리차아지 제어 회로는 디코딩된 어드레스 신호들을 입력하는 노아 게이트; 노아 게이트의 출력을 반전시키는 제1 인버터; 제1 인버터의 출력과 프리차아지 인에이블 신호를 입력하는 낸드 게이트; 및 낸드 게이트의 출력을 반전하여 프리차아지 신호를 발생하는 제2 인버터를 포함한다.
- <27> 상기 다른 목적을 달성하기 위하여, 본 발명의 비트라인 프리차아지 방법의 일예는 수신되는 어드레스 신호를 디코딩하는 단계; 프리차아지 인에이블 신호 및 프리차아지 인에이블 신호를 소정 시간 지연시킨 프리차아지 지연 신호에 응답하여 프리차아지 신호를 발생하는 단계; 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 단계; 및 디코딩된 어드레스 신호에 응답하여 워드라인을 인에이블시키는 단계를 구비하고, 프리차아지 신호는 워드라인이 인에이블된 후에 디세이블된다.
- <28> 상기 다른 목적을 달성하기 위하여, 본 발명의 비트라인 프리차아지 방법의 다른 예는 수신되는 어드레스 신호를 디코딩하는 단계; 디코딩된 어드레스 신호 및 프리차아지 인에이블 신호에 응답하여 프리차아지 신호를 발생하는 단계; 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 단계; 및 디코딩된 어드레스 신호에 응답하여 워드라인을 인에이블시키는 단계를 구비하고, 프리차아지 신호는 상기 워드라인이 인에이블된 후에 디세이블된다.
- <29> 따라서, 본 발명에 의하면, 워드라인의 인에이블 후에 프리차아지 신호를 디세이블시켜 셀 오프 전류(Ioff) 전류에 영향을 받지 않고 비트라인과 상보 비트라인의 전압차를 크게 벌려 센싱 마진을 크게 한다.



- <30> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <31> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <32> 도 4는 본 발명의 개념을 설명하는 도면이다. 이를 참조하면, 프리차아지 신호(PRE) 발생을 위하여, 프리차아지 인에이블 신호(PRE_EN)의 비활성화 시점으로부터 소정 시간(ΔT) 지연된 후 프리차아지 신호(PRE)를 비활성화시키고 프리차아지 인에이블 신호(PRE_EN)의 활성화 시점에서 프리차아지 신호(PRE)를 활성화시키는 방법이 적용된다. 즉, 프리차아지 인에이블 신호(PRE_EN)를 입력하는 지연 회로(410)에 의해 소정 시간(ΔT) 지연된 프리차아지 인에이블 신호(PRE_EN)가 발생된다. 지연된 프리차아지 인에이블 신호(PRE_EN)와 프리차아지 인에이블 신호(PRE_EN)는 낸드 게이트(420)로 입력되고, 낸드 게이트(420)의 출력은 인버터(430)로 입력되어 프리차아지 신호(PRE)로 발생된다.
- <33> 프리차아지 신호(PRE)에 응답하는 종래의 메모리 장치(도 2)내 프리차아지 회로(230)의 동작과 연계하여, 구체적으로 본 발명의 개념을 설명하면 다음과 같다.
- <34> 프리차아지 회로(230, 도 2)는 프리차아지 신호(PRE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)을 전원 전압(VDD) 레벨로 프리차아지시키는 제1 및 제2 피모스 트랜지스터들(232, 234)과 프리차아지 신호(PRE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)을 전원 전압(VDD) 레벨로 등화시키는 제3 피모스 트랜지스터(236)를 포함한다. 프리차아지 회로(230)는 프리차아지 신호(PRE)의 로직 로우레벨에 응답하여 비트라인(BL)과 상보 비트라인(BLB)을 전원

전압(VDD) 레벨로 프리차아지시키고 로직 하이레벨의 프리차아지 신호(PRE)에 의해 비트라인(BL)과 상보 비트라인(BLB)의 프리차아지 동작을 디세이블시킨다.

<35> 비트라인 프리차아지 동작을 지시하는 로직 로우레벨의 프리차아지 인에이블 신호(PRE_EN)에 응답하여 낸드 게이트(420)의 출력은 로직 하이레벨로 발생되고 프리차아지 신호(PRE)는 로직 로우레벨로 발생된다. 로직 로우레벨의 프리차아지 신호(PRE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)은 전원 전압(VDD) 레벨로 프리차아지된다. 이 후, 프리차아지 인에이블 신호(PRE_EN)의 로직 하이레벨로의 천이 시점에서 지연 회로(410)의 소정 시간(ΔT) 지연 후, 낸드 게이트(420)의 출력은 로직 로우레벨로 발생되고 프리차아지 신호(PRE)는 로직 하이레벨로 발생된다. 로직 하이레벨의 프리차아지 신호(PRE)에 응답하여 프리차아지 회로(230)의 피모스 트랜지스터들(232, 234, 236)이 턴오프되어 비트라인(BL)과 상보 비트라인(BLB)의 프리차아지 동작을 디세이블된다.

<36> 여기에서, 소정의 지연 시간(ΔT)는 디코딩된 로우 어드레스들에 응답하여 워드라인이 인에이블되는 데 걸리는 시간, 즉 로우 어드레스들의 천이 시점으로부터 워드라인이 인에이블되는 데 걸리는 시간이다. 이는 워드라인의 인에이블 후에 프리차아지 동작을 디세이블시키기 위하여 설정되는 시간이다.

<37> 도 5는 본 발명의 일실시예에 따른 메모리 장치를 설명하는 도면이다. 이를 참조하면, 메모리 장치(500)는 도 2에서와 같이 메모리 셀 어레이 블록(100), 로우 디코더(210), 프리 어드레스 디코딩 회로 및 제어 신호 발생부(220), 비트라인 프리차아지부(230), 그리고 센스 앰프(240)를 포함하고, 여기에다가 추가적으로 프리차아지 제어 회로부(510)를 더 포함한다.

<38> 프리차아지 제어 회로부(510)는 프리 디코딩 회로(220)로부터 제공되는 디코딩된 로우 어드레스들을 입력하는 노아 게이트(512), 노아 게이트(512)의 출력을 입력하는 제1 인버터

(514), 제1 인버터(514)의 출력과 프리차아지 인에이블 신호(PRE_EN)를 입력하는 낸드 게이트(516), 그리고 낸드 게이트(516)의 출력을 반전시켜 프리차아지 신호(PRE)를 발생하는 제2 인버터(518)로 구성된다.

<39> 노아 게이트(512)는 디코딩된 로우 어드레스들의 로직 하이레벨로의 천이에 응답하여 로직 로우레벨의 출력을 발생하여 프리차아지 인에이블 신호(PRE_EN)에 응답하여 프리차아지 신호(PRE)를 발생한다. 프리차아지 인에이블 신호(PRE_EN)가 로직 로우레벨이면 프리차아지 신호(PRE)는 로직 로우레벨로 발생되어 비트라인(BL)과 상보 비트라인(BLB)을 프리차아지시킨다. 반면, 프리차아지 인에이블 신호(PRE_EN)가 로직 하이레벨이면 프리차아지 신호(PRE)는 로직 하이레벨로 발생되어 비트라인(BL)과 상보 비트라인(BLB)을 프리차아지 동작을 디세이블시킨다.

<40> 디코딩된 로우 어드레스들이 로직 로우레벨일 때 노아 게이트(512)는 로직 하이레벨의 출력을 발생하여 프리차아지 신호(PRE)는 로직 로우레벨로 발생되는 데, 이는 워드라인들(WL0, ..., WLn)이 인에이블되지 않는 동안 비트라인(BL)과 상보 비트라인(BLB)을 프리차아지시키기 위해서이다.

<41> 도 6은 도 5의 메모리 장치의 동작 타이밍을 설명하는 도면이다. 이를 참조하면, 도 3의 타이밍 다이어그램과 비교하여 (b) 구간이 없으며, (a), (c), 그리고 (d) 구간으로 구분된다. (a) 구간은 로직 로우레벨의 프리차아지 신호(PRE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)이 전원 전압(VDD) 레벨로 프리차아지된다. (c) 구간은 워드라인(WL0)이 로직 하이레벨로 인에이블된 후, 이에 응답하여 프리차아지 신호(PRE)가 로직 하이레벨로 디세이블되고, 인에이블된 워드라인(WL0)에 연결된 메모리 셀 데이터에 따라 비트라인(BL)과 상보 비트라인(BLB)으로 차아지 세어링되어 비트라인(BL)과 상보 비트라인(BLB) 사이에 전압차가 벌어지고, 센싱 인

에이블 신호(SENSE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB) 사이의 전압차를 감지 증폭한다. (d) 구간은 워드라인(WL0)이 디세이블되고 로직 로우레벨의 프리차아지 신호(PRE)에 응답하여 비트라인(BL)과 상보 비트라인(BLB)이 다시 프리차아지된다.

<42> 도 7은 본 실시예의 메모리 장치를 시뮬레이션한 결과를 보여주는 도면이다. 이를 참조하면, 디코딩된 어드레스 신호에 응답하여 워드라인(WL)이 로직 하이레벨로 인에이블되고, 소정 시간 후 프리차아지 신호(PRE)가 로직 하이레벨로 디세이블된다. 워드라인(WL)이 인에이블되는 시점에서부터 비트라인(BL)과 상보 비트라인(BLB)이 서서히 전압차가 발생하고, 프리차아지 신호(PRE)가 디세이블되는 시점에서는 비트라인(BL)과 상보 비트라인(BLB)의 전압차가 더욱 크게 벌어진다. 이에 따라, 비트라인(BL)과 상보 비트라인(BLB)의 전압차가 충분히 벌어져 있기 때문에, 비트라인(BL)과 상보 비트라인(BLB)의 전압차를 감지 증폭하는 센싱 인에이블 신호(SENSE)의 활성화 구간 동안에 센싱 마진을 크게 할 수 있다.

<43> 이에 대하여, 도 8은 종래의 메모리 장치(도 2)를 시뮬레이션한 결과를 보여주는 도면이다. 이를 참조하면, 도 3에서 설명한 바와 같이, 프리차아지 신호(PRE)가 로직 하이레벨로 디세이블되고, 소정 시간 후 워드라인(WL)이 로직 하이레벨로 인에이블된다. 프리차아지 신호(PRE)가 디세이블되는 시점에서 비트라인(BL)과 상보 비트라인(BLB) 사이에 전압차가 벌어지는데, 셀 오프 전류(Ioff) 영향을 받아 비트라인(BL)은 로직 로우레벨 쪽으로, 그리고 상보 비트라인(BLB)은 로직 하이레벨 쪽으로 기대되는 정상적인 전압레벨의 반대 방향으로 벌어진다. 이후, 워드라인(WL)이 인에이블되는 시점으로부터 일정 시간 지연 후 비트라인(BL)은 로직 하이레벨 쪽으로, 그리고 상보 비트라인(BLB)은 로직 로우레벨 쪽으로 반전되어 벌어진다. 이에 따라 비트라인(BL)과 상보 비트라인(BLB) 사이의 전압차가 충분히 벌어지지 않아 비트라인(BL)과

상보 비트라인(BLB)의 전압차를 감지 증폭하는 센싱 인에이블 신호(SENSE)의 활성화 구간 동안에 센싱 마진이 작아지는 문제점을 지닌다.

<44> 본 실시예에 따라 워드라인(WL)의 인에이블 후에 프리차아지 신호(PRE)를 디세이블시키는 방법은 워드라인(WL)의 인에이블 후 프리차아지 신호(PRE)의 디세이블 사이의 시간 동안에 비트라인 프리차아지 전압인 전원 전압과 로직 로우레벨의 메모리 셀 데이터와의 전류 경로 형성으로 인해 전류 소모가 생기는 문제점이 있지만, 셀 오프 전류(Ioff) 전류에 영향을 받지 않고 비트라인(BL)과 상보 비트라인(BLB)의 전압차를 크게 벌릴 수 있다는 이점이 있다.

<45> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<46> 상술한 본 발명에 의하면, 워드라인의 인에이블 후에 프리차아지 신호를 디세이블시켜 셀 오프 전류(Ioff) 전류에 영향을 받지 않고 비트라인과 상보 비트라인의 전압차를 크게 벌려 센싱 마진을 크게 한다.

【특허청구범위】**【청구항 1】**

행들 및 열들로 배열된 복수개의 메모리 셀들;

수신되는 어드레스 신호를 디코딩하여 상기 메모리 셀들의 워드라인을 인에이블시키는
로우 디코더;

프리차아지 인에이블 신호 및 상기 프리차아지 인에이블 신호를 소정 시간 지연시킨 프리차아지 지연 신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 제어 회로; 및

상기 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 프리차아지부를 구비하고,

상기 프리차아지 신호는 상기 워드라인이 인에이블된 후에 디세이블되는 것을 특징으로 하는 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 프리차아지 제어 회로는

상기 프리차아지 인에이블 신호를 입력하여 상기 소정의 지연 시간 만큼 지연시키는 지연 회로부;

상기 프리차아지 인에이블 신호와 상기 지연 회로부의 출력을 입력하는 낸드 게이트; 및

상기 낸드 게이트의 출력을 인버팅하는 인버터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 지연 시간은

상기 디코딩된 로우 어드레스들의 천이로부터 상기 워드라인이 인에이블되는 데 걸리는 시간인 것을 특징으로 하는 메모리 장치.

【청구항 4】

제2항에 있어서, 상기 프리차아지부는

상기 프리차아지 신호에 응답하여 상기 비트 라인 및 상기 상보 비트라인을 전원 전압 레벨로 각각 프리차아지시키는 제1 및 제2 트랜지스터; 및

상기 프리차아지 신호에 응답하여 상기 비트라인과 상기 상보 비트라인을 등화시키는 제3 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 제1 내지 제3 트랜지스터는

피모스 트랜지스터들인 것을 특징으로 하는 메모리 장치.

【청구항 6】

행들 및 열들로 배열된 복수개의 메모리 셀들;

수신되는 어드레스 신호를 디코딩하여 상기 메모리 셀들의 워드라인을 인에이블시키는 로우 디코더;

상기 디코딩 어드레스 신호 및 프리차아지 인에이블 신호에 응답하여 프리차아지 신호를 발생하는 프리차아지 제어 회로; 및

상기 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 프리차아지부를 구비하고,

상기 프리차아지 신호는 상기 워드라인이 인에이블된 후에 디세이블되는 것을 특징으로 하는 메모리 장치..

【청구항 7】

제6항에 있어서, 상기 프리차아지 제어 회로는

상기 디코딩된 어드레스 신호들을 입력하는 노아 게이트;

상기 노아 게이트의 출력을 반전시키는 제1 인버터;

상기 제1 인버터의 출력과 상기 프리차아지 인에이블 신호를 입력하는 낸드 게이트; 및

상기 낸드 게이트의 출력을 반전하여 상기 프리차아지 신호를 발생하는 제2 인버터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 8】

제7항에 있어서, 상기 프리차아지부는

상기 프리차아지 신호에 응답하여 상기 비트 라인 및 상기 상보 비트라인을 전원 전압 레벨로 각각 프리차아지시키는 제1 및 제2 트랜지스터; 및

상기 프리차아지 신호에 응답하여 상기 비트라인과 상기 상보 비트라인을 등화시키는 제3 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 제1 내지 제3 트랜지스터는

피모스 트랜지스터들인 것을 특징으로 하는 메모리 장치.

【청구항 10】

메모리 셀들의 비트라인들을 프리차아지시키는 방법에 있어서,

수신되는 어드레스 신호를 디코딩하는 단계;

프리차아지 인에이블 신호 및 상기 프리차아지 인에이블 신호를 소정 시간 지연시킨 프리차아지 지연 신호에 응답하여 프리차아지 신호를 발생하는 단계;

상기 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 단계;
및

상기 디코딩된 어드레스 신호에 응답하여 워드라인을 인에이블시키는 단계를 구비하고,

상기 프리차아지 신호는 상기 워드라인이 인에이블된 후에 디세이블되는 것을 특징으로 하는 메모리 장치의 비트라인 프리차아지 방법.

【청구항 11】

메모리 셀들의 비트라인들을 프리차아지시키는 방법에 있어서,

수신되는 어드레스 신호를 디코딩하는 단계;

상기 디코딩된 어드레스 신호 및 프리차아지 인에이블 신호에 응답하여 프리차아지 신호를 발생하는 단계;

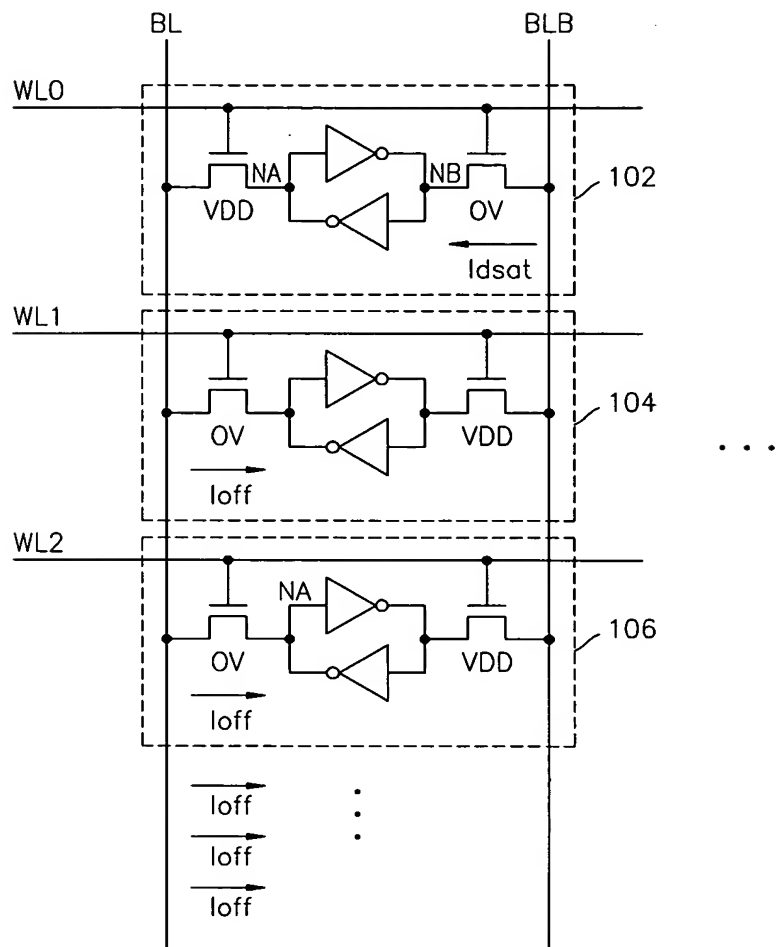
상기 프리차아지 신호에 응답하여 비트라인과 상보 비트라인을 프리차아지시키는 단계

상기 디코딩된 어드레스 신호에 응답하여 워드라인을 인에이블시키는 단계를 구비하고,

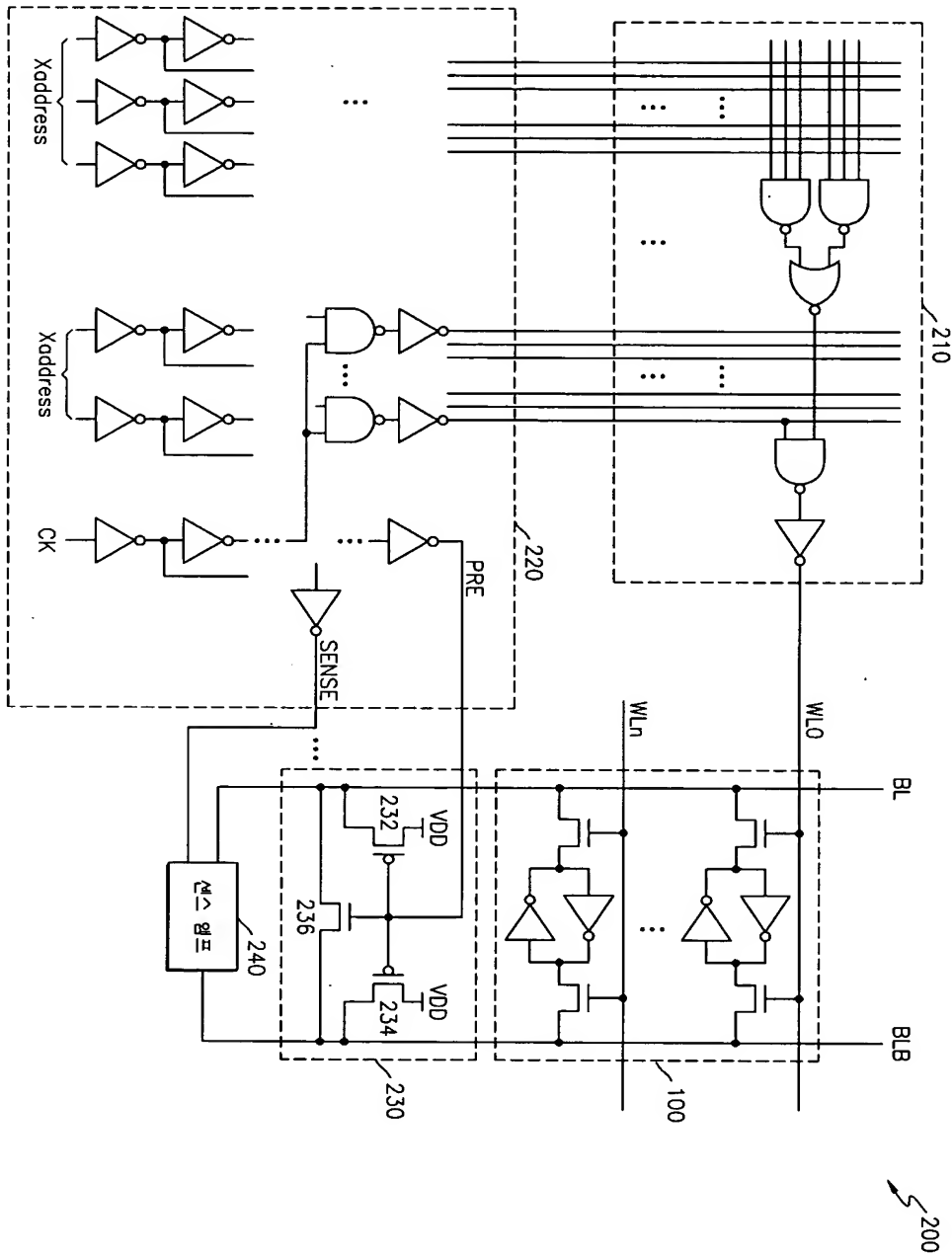
상기 프리차아지 신호는 상기 워드라인이 인에이블된 후에 디세이블되는 것을 특징으로 하는 메모리 장치의 비트라인 프리차아지 방법.

【도면】

【도 1】

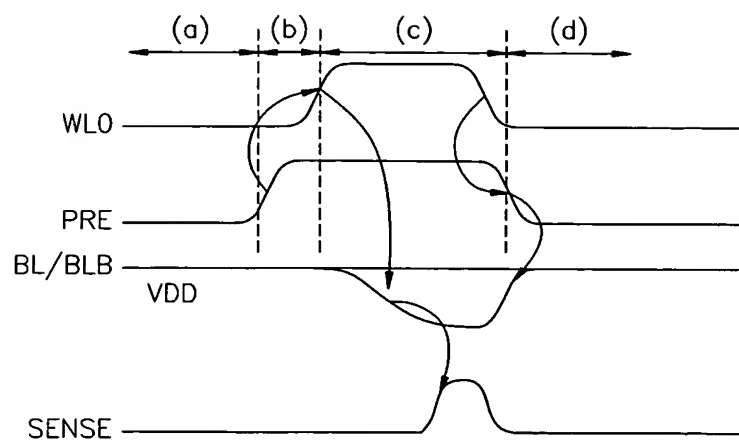


【도 2】

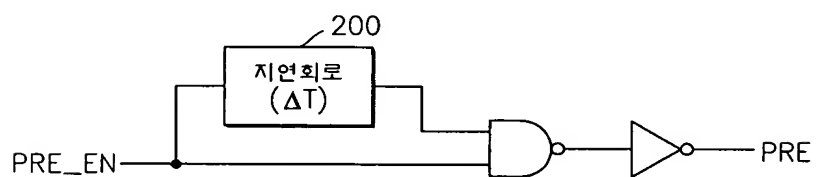




【도 3】



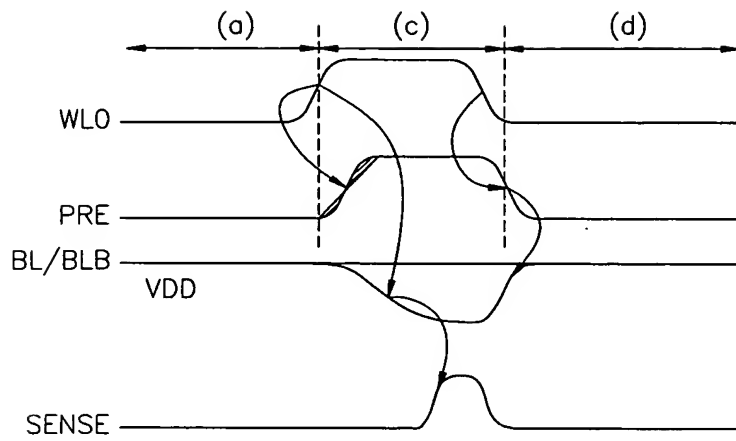
【도 4】



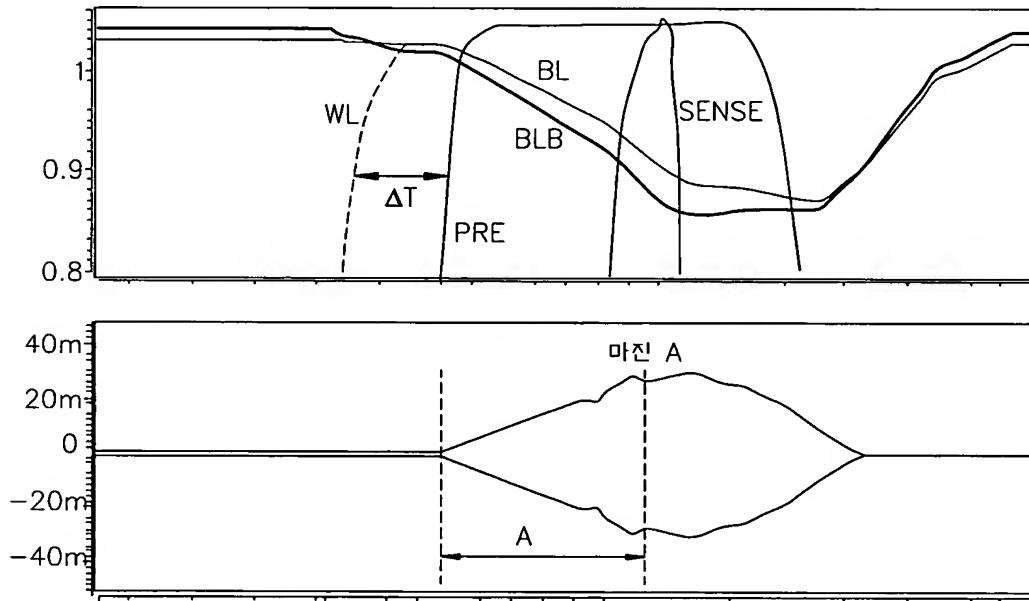
【도 5】



【도 6】



【도 7】



【도 8】

